

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

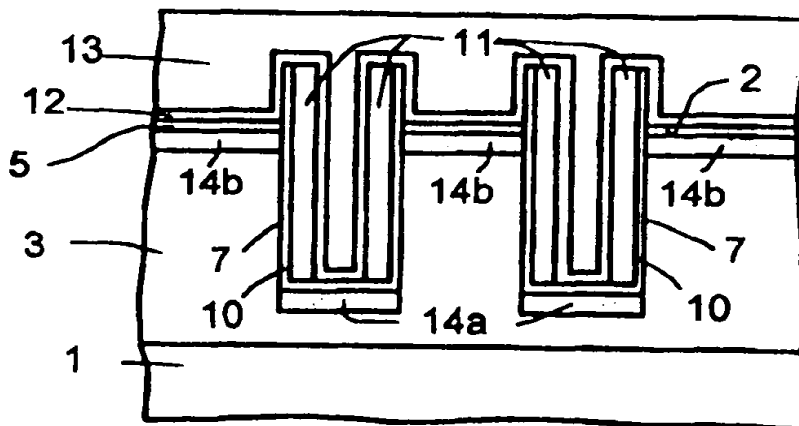
(51) Internationale Patentklassifikation 6 : H01L 21/8247, 27/115	A1	(11) Internationale Veröffentlichungsnummer: WO 97/02599 (43) Internationales Veröffentlichungsdatum: 23. Januar 1997 (23.01.97)
<p>(21) Internationales Aktenzeichen: PCT/DE96/01117</p> <p>(22) Internationales Anmeldedatum: 25. Juni 1996 (25.06.96)</p> <p>(30) Prioritätsdaten: 195 24 478.8 5. Juli 1995 (05.07.95) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): HOFMANN, Franz [DE/DE]; Herbergstrasse 25b, D-80995 München (DE). RÖSNER, Wolfgang [DE/DE]; Heißenmännchenstrasse 2, D-81739 München (DE). KRAUTSCHNEIDER, Wolfgang [DE/DE]; Am Oberfeld 50, D-83104 Hohenthann (DE). RISCH, Lothar [DE/DE]; Tizianstrasse 27, D-85579 Neubiberg (DE).</p>	<p>(81) Bestimmungsstaaten: CN, JP, KR, RU, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>	

(54) Title: METHOD OF PRODUCING A READ-ONLY STORAGE CELL ARRANGEMENT

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINER FESTWERTSPEICHERZELLENANORDNUNG

(57) Abstract

In order to produce a read-only storage cell arrangement, strip-shaped grooves are etched in a semiconductor substrate, storage cells each having a vertical MOS transistor with a floating gate (11) being formed on the flanks of these grooves. The source/drain areas of the MOS transistors are produced as strip-shaped doped areas at the base of the grooves (7) and between adjacent grooves (7) in a self-aligning manner using only one mask. The widths of the grooves (7) and the spacings between them are preferably identical such that the storage cell arrangement can be produced with a space requirement of $2F^2$ (F: minimum size of the structure).



(57) Zusammenfassung

Zur Herstellung einer Festwertspeicherzellenanordnung werden in einem Halbleitersubstrat streifenförmige Gräben geätzt, an deren Flanken Speicherzellen mit jeweils einem vertikalen MOS-Transistor mit einem floatenden Gate (11) gebildet werden. Die Source/Drain-Gebiete der MOS-Transistoren werden als streifenförmige dotierte Gebiete am Boden der Gräben (7) und zwischen benachbarten Gräben (7) selbstjustierend unter Verwendung nur einer Maske erzeugt. Breite und Abstand der Gräben (7) sind vorzugsweise gleich, so daß die Speicherzellenanordnung mit einem Platzbedarf von $2F^2$ (F: minimale Strukturgröße) realisierbar ist.

Beschreibung

Verfahren zur Herstellung einer Festwertspeicherzellenanord-
5 nung.

Für viele Anwendungen werden Festwertspeicherzellenanordnun-
gen mit elektrisch schreibbaren und elektrisch löschbaren
Festwert-Speicherzellen in Siliziumtechnologie, sogenannte
10 EEPROM, benötigt. In diesen EEPROM-Anordnungen bleiben die
gespeicherten Daten auch ohne Spannungsversorgung erhalten.

Technisch werden diese Speicherzellen meist durch einen MOS-
Transistor realisiert, der auf dem Kanalbereich ein erstes
15 Dielektrikum, ein floatendes Gate, ein zweites Dielektrikum
und ein Kontrollgate aufweist. Ist auf dem floatenden Gate
eine Ladung gespeichert, so beeinflußt diese die Schwellen-
spannung des MOS-Transistors. In einer solchen Speicherzel-
lenanordnung wird der Zustand „Ladung auf dem floatenden Ga-
20 te“ einem ersten logischen Wert, der Zustand „keine Ladung
auf dem floatenden Gate“ einem zweiten logischen Wert zuge-
ordnet. Die Information wird in die Speicherzellen über einen
Fowler-Nordheim-Tunnelstrom oder durch „Hot Electron“ Strom,
durch den Elektronen auf das floatende Gate injiziert werden,
25 eingeschrieben. Gelöscht wird die Information durch einen
Tunnelstrom durch das erste Dielektrikum. Es sind mindestens
acht EEPROM-Transistoren in einer NAND-Anordnung hintereinan-
der geschaltet.

30 Die MOS-Transistoren sind als planare MOS-Transistoren ausge-
bildet und in einer planaren Zellarchitektur angeordnet. Da-
durch beträgt der minimale Flächenbedarf einer Speicherzelle
 $4F^2$, wobei F die kleinste herstellbare Strukturgröße in der
jeweiligen Technologie ist. Derzeit werden derartige EEPROM-
35 Anordnungen für Datenmengen von maximal 32 Mbit angeboten.

In JP-OS 3-1574 ist eine elektrisch schreib- und löschbare Festwertspeicherzellenanordnung vorgeschlagen worden, die als Speicherzellen zu einer Hauptfläche eines Halbleitersubstrats vertikale MOS-Transistoren mit floatendem Gate und Kontrollgate umfaßt. In dem Substrat sind im wesentlichen parallel verlaufende streifenförmige Gräben vorgesehen. Die vertikalen MOS-Transistoren sind an den Flanken der Gräben angeordnet. Dabei sind die Speicherzellen jeweils an gegenüberliegenden Flanken der Gräben angeordnet. Am Grabenboden und an der Hauptfläche zwischen benachbarten Gräben verlaufen jeweils streifenförmige, dotierte Gebiete, die die Source- und Drain-Gebiete der MOS-Transistoren umfassen. Die Herstellung dieser streifenförmigen dotierten Gebiete erfolgt nach der Bildung der Gräben durch maskierte Implantationen. Wegen der unvermeidlichen Justierungenauigkeit beim Einsatz von Maskenschritten ist die erzielbare Packungsdichte in dieser Speicherzellenanordnung begrenzt.

In US-PS 5 049 956 ist eine elektrisch schreib- und löschbare Speicherzellenanordnung vorgeschlagen worden, die in punktförmigen Gräben angeordnete vertikale MOS-Transistoren mit Floatinggate und Kontrollgate umfaßt. Am Boden der Gräben ist eine durchgehende dotierte Schicht vorgesehen, die als gemeinsames Sourcegebiet aller MOS-Transistoren wirkt. Zur Erhöhung der Koppelkapazität ragen die Floatinggates über die Oberfläche des Substrats hinaus.

Größere Datenmengen können derzeit schreib- und löschar nur in dynamischen Speicherzellenanordnungen (DRAM) oder auf magnetischen Datenträgern gespeichert werden. Ein DRAM benötigt zur Erhaltung der gespeicherten Daten ständig eine Spannungsversorgung. Magnetische Datenträger dagegen beruhen auf mechanischen Systemen mit rotierenden Speichermedien.

Der Erfindung liegt das Problem zugrunde, ein Verfahren zur Herstellung einer Festwertspeicherzellenanordnung anzugeben,

die mit einem geringeren Flächenbedarf pro Speicherzelle herstellbar ist.

5 Dieses Problem wird erfindungsgemäß gelöst durch ein Verfahren zur Herstellung einer Festwertspeicherzellenanordnung gemäß Anspruch 1. Weitere Ausgestaltungen der Erfindung ergeben sich aus den übrigen Ansprüchen.

10 Die durch das erfindungsgemäße Verfahren hergestellte elektrisch schreib- und löschbare Festwertspeicherzellenanordnung ist in einem Halbleitersubstrat, vorzugsweise aus monokristallinem Silizium oder in einer Siliziumschicht eines SOI-Substrates, realisiert. An einer Hauptfläche des Halbleitersubstrats ist ein Zellenfeld mit Speicherzellen vorgesehen.
15 Jede Speicherzelle umfaßt einen zur Hauptfläche vertikalen MOS-Transistor, der neben dem Source/Drain-Gebiet und einem dazwischen angeordneten Kanalgebiet ein erstes Dielektrikum, ein floatendes Gate, ein zweites Dielektrikum und ein Kontrollgate umfaßt.

20 Im Zellenfeld sind mehrere, im wesentlichen parallel verlaufende streifenförmige Gräben vorgesehen. Die vertikalen MOS-Transistoren sind an den Flanken der Gräben angeordnet. Dabei sind die Speicherzellen jeweils an gegenüberliegenden Flanken
25 der Gräben angeordnet.

Am Grabenboden und an der Hauptfläche zwischen benachbarten Gräben verlaufen jeweils streifenförmige, dotierte Gebiete. Die an die jeweilige Flanke angrenzenden streifenförmigen,
30 dotierten Gebiete bilden die Source/Drain-Gebiete der an der Flanke angeordneten MOS-Transistoren. Erstes Dielektrikum, floatendes Gate, zweites Dielektrikum und Kontrollgate sind jeweils entlang der Flanke zwischen den entsprechenden Source/Drain-Gebieten angeordnet. Entlang einer Flanke sind je-
35 weils eine Vielzahl von Speicherzellen angeordnet. Das floatende Gate und das Kontrollgate von entlang einer Flanke benachbarten Speicherzellen sind gegeneinander isoliert.

Quer zu den Gräben verlaufen Wortleitungen, die jeweils mit Kontrollgates von vertikalen MOS-Transistoren verbunden sind, die unterhalb der jeweiligen Wortleitung angeordnet sind.

5

Vorzugsweise weisen die floatenden Gates in der Richtung senkrecht zur Hauptfläche eine größere Ausdehnung auf, als es der Tiefe der Gräben entspricht. Dadurch ragen die floatenden Gates über die Hauptfläche hinaus. Auf diese Weise wird die Koppelkapazität zwischen dem floatenden Gate und dem Kontrollgate vergrößert.

10

Wird der Abstand zwischen benachbarten Gräben im wesentlichen gleich der Breite der Gräben gewählt, so ist die erfindungsgemäße Festwertspeicherzellenanordnung in dem selbstjustierenden Herstellverfahren mit einem Platzbedarf pro Speicherzelle von $2F^2$ herstellbar, wobei F die in der jeweiligen Technologie minimale Strukturgröße ist. Zur selbstjustierenden Herstellung der Festwertspeicherzellenanordnung werden nur zwei photolithographisch erzeugte Masken benötigt: eine Maske zur Grabenätzung, eine weitere Maske zur Strukturierung der quer zu den Gräben verlaufenden Wortleitungen. Die floatenden Gates werden durch eine Spacerätzung selbstjustiert zu den Flanken der Gräben gebildet. Parallel zum Verlauf der Gräben werden die floatenden Gates und das zweite Dielektrikum unter Verwendung der Wortleitungsmaske strukturiert.

20

25

Vorzugsweise wird die Spacerätzung zur Bildung der floatenden Gates vor der Entfernung der Grabenmaske durchgeführt. Die Ausdehnung der floatenden Gates senkrecht zur Hauptfläche ist dann über die Dicke der Grabenmaske einstellbar. Vor der Abscheidung einer zweiten dielektrischen Schicht zur Bildung des zweiten Dielektrikums wird die Grabenmaske entfernt.

30

In Fällen, in denen eine Vergrößerung der Koppelkapazität zwischen floatendem Gate und Kontrollgate durch Vergrößerung der Ausdehnung des floatenden Gates nicht erforderlich ist,

35

wird die Grabenmaske vor der Abscheidung der ersten dotierten Polysiliziumschicht zur Bildung der floatenden Gates entfernt.

- 5 Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der Figuren näher erläutert.

Figur 1 zeigt ein Substrat mit einem dotierten Gebiet im Zellenfeld.

10

Figur 2 zeigt das Substrat mit einer Grabenmaske nach der Ätzung von Gräben.

15 Figur 3 zeigt das Substrat nach Bildung von streifenförmigen, dotierten Gebieten am Boden der Gräben.

Figur 4 zeigt das Substrat nach Bildung eines ersten Dielektrikums und dotierter Polysiliziumspacer an den Flanken der Gräben.

20

Figur 5 zeigt das Substrat nach Abscheidung einer zweiten dielektrischen Schicht und einer zweiten dotierten Polysiliziumschicht.

25 Figur 6 zeigt eine Aufsicht auf die fertige elektrisch schreib- und löschbare Festwertspeicherzellenanordnung.

Ein Substrat 1 aus zum Beispiel p-dotiertem monokristallinem Silizium mit einer Dotierstoffkonzentration von $5 \times 10^{15} \text{ cm}^{-3}$ wird an einer Hauptfläche 2 mit einem Streuoxid in einer Dicke von zum Beispiel 50 nm (nicht dargestellt) versehen. Durch Implantation mit Bor (160 keV, $6 \times 10^{13} \text{ cm}^{-2}$) und anschließendes Tempern wird eine p-dotierte Wanne 3 mit einer Dotierstoffkonzentration von $3 \times 10^{17} \text{ cm}^{-3}$ erzeugt (siehe Figur 1).
35 Anschließend wird das Streuoxid durch Ätzen entfernt.

Am Rand der p-dotierten Wanne 3 wird nachfolgend zum Beispiel in einem LOCOS-Prozeß eine Isolationsstruktur gebildet (nicht dargestellt). Die Isolationsstruktur definiert den Bereich für ein Zellenfeld.

5

Nach Bildung eines weiteren, 20 nm dicken Streuoxids (nicht dargestellt) wird durch Implantation mit Arsen, 50 keV, $5 \times 10^{15} \text{ cm}^{-2}$ ein n-dotiertes Gebiet 4 erzeugt. Das n-dotierte Gebiet 4 weist eine Dotierstoffkonzentration von $1 \times 10^{21} \text{ cm}^{-3}$ auf. Es erstreckt sich an der Hauptfläche 2 über den Bereich für das Zellenfeld. Die Tiefe des n-dotierten Gebietes 4 beträgt zum Beispiel 200 nm.

10

Nach Entfernen des Streuoxids wird an der Hauptfläche 2 durch eine thermische Oxidation bei zum Beispiel 800°C eine Schicht aus SiO_2 in einer Dicke von zum Beispiel 50 nm und durch CVD Abscheidung eine Nitridschicht in einer Dicke von 50 nm gebildet. Die Schicht aus SiO_2 und die Nitridschicht bilden eine Hilfsschicht 5 (siehe Figur 2).

15

Anschließend wird zur Bildung einer Grabenmaske 6 in einem TEOS-Verfahren eine 300 nm dicke SiO_2 -Schicht abgeschieden und mit Hilfe photolithographischer Verfahren durch anisotropes Trockenätzen zum Beispiel mit CHF_3 , O_2 strukturiert.

20

Nachfolgend wird durch anisotropes Trockenätzen die Hilfsschicht 5 entsprechend der Grabenmaske 6 strukturiert. Das Ätzen der Hilfsschicht 5 erfolgt zum Beispiel mit CHF_3 , O_2 . Nach Entfernen einer Photolackmaske, die zur Strukturierung der Grabenmaske 6 aufgebracht wurde, wird eine Grabenätzung durchgeführt. Die Grabenätzung erfolgt in einem anisotropen Trockenätzprozeß mit zum Beispiel HBr , He , O_2 , NF_3 . Dabei werden Gräben 7 erzeugt, die eine Tiefe von zum Beispiel 0,6 μm aufweisen. Die Gräben 8 erstrecken sich über einen Block des NAND-Zellenfeldes. Sie weisen eine Länge von zum Beispiel 8 μm und eine Breite von zum Beispiel 0,4 μm auf. Im Zellen-

25

30

35

feld sind benachbarte Gräben 7 in einem Abstand von 0,4 μm angeordnet. Die Gräben 7 verlaufen im wesentlichen parallel.

5 Durch konforme Abscheidung wird eine 20 nm dicke TEOS-Schicht (nicht dargestellt) und dann eine Si_3N_4 -Schicht in einer Dicke von zum Beispiel 80 nm erzeugt. Durch anschließendes anisotropes Trockenätzen mit CHF_3 , O_2 werden an senkrechten Flanken der Gräben 7 und der Grabenmaske 6 Si_3N_4 -Spacer 8 gebildet (siehe Figur 3).

10

Anschließend wird ganzflächig in einem TEOS-Verfahren eine Streuoxidschicht 9 in einer Dicke von 20 nm abgeschieden. Es wird eine Ionenimplantation mit As ($5 \times 10^{15} \text{ cm}^{-2}$, 50 keV) durchgeführt, bei der am Boden der Gräben 7 n⁺-dotierte, streifenförmige Gebiete 14a gebildet werden. Die dotierten Gebiete 14a werden durch einen Tempersschritt aktiviert. In den streifenförmigen, dotierten Gebieten 14a wird eine Dotierstoffkonzentration von zum Beispiel $1 \times 10^{21} \text{ cm}^{-3}$ eingestellt.

20

Die Si_3N_4 -Spacer 8 maskieren die Flanken der Gräben 7 bei der Ionenimplantation. Dadurch wird eine Einsatzspannungsverschiebung der an den Flanken der Gräben 7 entstehenden, vertikalen MOS-Transistoren vermieden.

25

An der Hauptfläche 2 des Halbleitersubstrats 1 sind bei der Grabenätzung durch Strukturierung des n⁺-dotierten Gebietes 4 zwischen benachbarten Gräben 7 streifenförmige, dotierte Gebiete 14b entstanden.

30

Anschließend wird das Streuoxid 9 zum Beispiel in einem HF-Dip entfernt. Durch naßchemisches Ätzen zum Beispiel mit H_3PO_4 werden die Si_3N_4 -Spacer 8 entfernt. Danach wird die dünne Oxidunterlage naßchemisch mit HF entfernt. Nun liegen in den Gräben 7 an den Flanken und am Boden Siliziumoberflächen frei.

35

- Durch thermische Oxidation zum Beispiel bei 800°C wird mindestens an den freiliegenden Siliziumflächen eine erste dielektrische Schicht 10 aus SiO_2 gebildet. Die erste dielektrische Schicht 10 wird an den Flanken mit einer Dicke von zum Beispiel 10 nm gebildet. Wegen der erhöhten Dotierung der streifenförmigen, dotierten Gebiete 14a am Boden der Gräben 7 entsteht die erste dielektrische Schicht dort in einer Dicke von 50 nm.
- 10 Durch Abscheidung einer in situ dotierten Polysiliziumschicht in einer Dicke von zum Beispiel 100 nm und anschließendes anisotropes Rückätzen werden an den Flanken der Gräben dotierte Polysiliziumspacer 11 erzeugt (siehe Figur 4).
- 15 Zur Bildung der dotierten Polysiliziumspacer 11 kann auch eine undotierte Polysiliziumschicht abgeschieden werden, die anschließend durch Belegung dotiert wird.
- Die Grabenmaske 6 wird nachfolgend durch nasses Ätzen zum Beispiel mit HF-Dampf entfernt. Bei dieser Ätzung wird in einem TEOS-Verfahren abgeschiedenes SiO_2 selektiv zu thermischem SiO_2 entfernt. Die Hilfsschicht 5 und die erste dielektrische Schicht 10 an der Oberfläche der streifenförmigen dotierten Gebiete 14a, b wird bei dieser Ätzung nicht angegriffen (siehe Figur 5). Diese Ätzung ist ferner selektiv in bezug auf Polysilizium. Die dotierten Polysiliziumspacer 11 ragen nach Entfernen der Grabenmaske 6 über die Hauptfläche 3 hinaus. Die Ausdehnung der Polysiliziumspacer 11 in zur Hauptfläche 2 vertikaler Richtung ist durch die Dicke der Grabenmaske 6 gegeben.
- 20
- 25
- 30
- Anschließend wird ganzflächig eine zweite dielektrische Schicht 12 erzeugt. Die zweite dielektrische Schicht 12 wird als Mehrfachsicht aus einer ersten SiO_2 -Schicht, einer Si_3N_4 -Schicht und einer zweiten SiO_2 -Schicht gebildet. Dabei wird die Si_3N_4 -Schicht in einem CVD-Verfahren abgeschieden, die erste und zweite SiO_2 -Schicht wird durch thermische Oxi-
- 35

dation gebildet. Die zweite dielektrische Schicht 12 wird in einer Dicke von 8 nm gebildet.

5 Anschließend wird eine zweite dotierte Polysiliziumschicht 13 abgeschieden. Die zweite dotierte Polysiliziumschicht 13 wird in situ dotiert abgeschieden. Sie wird in einer Dicke von zum Beispiel 500 nm abgeschieden. Die zweite dotierte Polysiliziumschicht 13 füllt die Gräben 7 vollständig auf. Sie füllt ebenfalls den Zwischenraum zwischen benachbarten Polysiliziumspacern 11 an der Hauptfläche 2 auf.

15 Nachfolgend wird eine Wortleitungsmaske durch Abscheidung einer TEOS-SiO₂-Schicht in einer Dicke von zum Beispiel 100 nm und Strukturierung der TEOS-SiO₂-Schicht mit Hilfe photolithographischer Prozessschritte gebildet (nicht dargestellt). Die Wortleitungsmaske definiert quer zu den Gräben 7 verlaufende Wortleitungen. Unter Verwendung der Wortleitungsmaske als Ätzmaske wird die zweite Polysiliziumschicht 13 in einem anisotropen Trockenätzverfahren zum Beispiel mit HBr, Cl₂, He

20 strukturiert. Dabei entstehen quer zu den Gräben 7 verlaufende Wortleitungen 13a (siehe Aufsicht in Figur 6) und im Bereich der Gräben 7 Kontrollgates. Die Ätzung wird unterbrochen, sobald die Oberfläche der zweiten dielektrischen Schicht 12 freigelegt ist.

25 Anschließend wird in einem weiteren Trockenätzverfahren die zweite dielektrische Schicht 12, beispielsweise bei ONO mit CHF₃, O₂ geätzt. Nun wird wieder mit hoher Selektivität zu (Oxid/Nitrid) das Polysilizium geätzt (HBr, Cl₂, He). Hierbei

30 wird nun auch das floating Gate und das Kontrollgate bis auf den Boden des Grabens geätzt. Bei dieser Ätzung werden aus dem dotierten Polysiliziumspacer 11 floatende Gates gebildet.

35 Anschließend wird durch nasses Ätzen zum Beispiel mit HF, H₃PO₄ die zweite dielektrische Schicht 12 entfernt.

Bei der Strukturierung der dotierten Polysiliziumspacer 11, der zweiten dielektrischen Schicht 12 und der zweiten dotierten Polysiliziumschicht 13 entsprechend dem Verlauf der Wortleitungen 13a wird zwischen benachbarten Wortleitungen 13a die erste dielektrische Schicht 10 in den Gräben 7 freigelegt. Das heißt, zwischen benachbarten Wortleitungen 13a sind die Gräben 7, bis auf die erste dielektrische Schicht 10, geöffnet. Dieser Zwischenraum wird anschließend durch Abscheidung einer TEOS-SiO₂-Schicht in einer Schichtdicke von zum Beispiel 800 nm und Rückätzen der TEOS-SiO₂-Schicht bis zum Freilegen der Oberfläche der Wortleitungen 13a aufgefüllt (nicht dargestellt).

Schließlich wird ganzflächig eine planarisierende Zwischenoxidschicht, zum Beispiel aus Borphosphorsilikatglas, abgeschieden, in der Kontaktlöcher geöffnet werden. Kontaktlöcher werden unter anderem zu den Wortleitungen 13a, zu den streifenförmigen dotierten Gebieten 14a, die am Boden der Gräben 7 angeordnet sind, und zu den streifenförmigen, dotierten Gebieten 14b, die an der Hauptfläche 2 zwischen benachbarten Gräben 7 angeordnet sind, geöffnet. Die Kontaktlöcher werden zum Beispiel mit Aluminium aufgefüllt. Es folgt die Erzeugung einer Metallisierungsebene zum Beispiel durch Abscheidung und Strukturierung einer Aluminiumschicht. Schließlich wird eine Passivierungsschicht aufgebracht. Diese Standardschritte sind nicht im einzelnen dargestellt.

In der erfindungsgemäß hergestellten Festwertspeicherzellenanordnung erfolgt die Bewertung der einzelnen Speicherzellen nach dem „Virtual ground“-Prinzip. Jedes der streifenförmigen, dotierten Gebiete 14a, 14b ist zwei Reihen von Speicherzellen zugeordnet. Ein Paar der streifenförmigen dotierten Gebiete 14a, 14b, das aus benachbart angeordneten dotierten Gebieten an der Hauptfläche 14a und am Boden 14b zusammengesetzt ist, ist dabei eindeutig einer Reihe Speicherzellen zugeordnet. Beim Auslesen der Festwertspeicherzellenanordnung wird daher nach Auswahl über die Wortleitung 13a der Strom-

fluß zwischen einem streifenförmigen dotierten Gebiet 14a am Boden eines Isolationsgrabens und einem benachbarten streifenförmigen dotierten Gebiet 14b an der Hauptfläche 2 bewertet. Die streifenförmigen, dotierten Gebiete 14a, 14b am Boden der Gräben 7 und an der Hauptfläche 2 wirken je nach Beschaltung als Referenz - oder als Bitleitung.

Die Information wird in die Speicherzellen, wie bei EEPROM-Anordnungen üblich, durch „hot Electron“ Injektion eingeschrieben. Das Löschen der Speicherzellen erfolgt in einem Fowler-Nordheim-Prozeß.

Zur Programmierung werden die dotierten, streifenförmigen Gebiete 14a, b links von einem Auswahltransistor auf eine erste Versorgungsspannung, zum Beispiel V_{dd} , und die dotierten, streifenförmigen Gebiete 14a, b rechts des Auswahltransistors auf eine zweite Versorgungsspannung, zum Beispiel V_{ss} , gelegt. An dem im Graben 7 angeordneten Teil der Wortleitung 13a, der als Kontrollgate wirkt, wird eine hohe Gatespannung von zum Beispiel 7 Volt angelegt. Dadurch werden Elektronen in das zugehörige floatende Gate injiziert.

Zum Löschen der Information werden die floatenden Gates durch einen Fowler-Nordheim-Prozeß zum Substrat hin entladen.

Figur 6 zeigt eine Aufsicht auf das Zellenfeld der erfindungsgemäßen Festwertspeicherzellenanordnung. Die Zellengröße der Speicherzellen ist als strichpunktierte Linie eingetragen. Die Breite der Speicherzellen setzt sich zusammen aus einer halben Breite des Grabens 7 sowie dem halben Abstand zwischen benachbarten Gräben. Die Länge einer Speicherzelle setzt sich zusammen aus der Breite der Wortleitung 13a sowie zweimal dem halben Abstand zwischen benachbarten Wortleitungen 13a. Werden die Gräben 7 mit einer Breite von F und in einem Abstand von F gebildet und werden die Wortleitungen 13a in einer Breite von F und einem Abstand von F gebildet, wobei

F die in der jeweiligen Technologie minimale Strukturgröße ist, so ergibt sich eine Speicherzellenfläche von $2F^2$.

Patentansprüche

1. Verfahren zur Herstellung einer Festwertspeicherzellenanordnung,

- 5
- bei dem an einer Hauptfläche (2) eines Halbleitersubstrats (1) ein Zellenfeld mit Speicherzellen, die jeweils einen zur Hauptfläche (2) vertikalen MOS-Transistor mit einem ersten Dielektrikum (10), einem floatenden Gate (11), einem
10 zweiten Dielektrikum (12) und einem Kontrollgate (13a) umfassen, gebildet wird,
 - bei dem das Halbleitersubstrat (1) mindestens im Bereich des Zellenfeldes von einem ersten Leitfähigkeitstyp dotiert
15 ist,
 - bei dem zur Bildung des Zellenfeldes an der Hauptfläche (2) des Halbleitersubstrats (1) ein vom zweiten Leitfähigkeitstyp dotiertes Gebiet (4) erzeugt wird, das sich über
20 das gesamte Zellenfeld erstreckt,
 - bei dem eine Grabenmaske (6) erzeugt wird,
 - bei dem in einem anisotropen Trockenätzprozeß unter Verwendung der Grabenmaske (6) als Ätzmaske in der Hauptfläche
25 (2) mehrere, im wesentlichen parallel verlaufende, streifenförmige Gräben (7) geätzt werden, wobei an der Hauptfläche (2) zwischen benachbarten Gräben (7) angeordnete, streifenförmige vom zweiten Leitfähigkeitstyp dotierte Gebiete (14b) durch Strukturierung des vom zweiten Leitfähigkeitstyp dotierten Gebietes (4) gebildet werden,
30
 - bei dem am Boden der Gräben (7) angeordnete streifenförmige vom zweiten Leitfähigkeitstyp dotierte Gebiete (14a) durch Ionenimplantation gebildet werden, wobei die Grabenmaske
35 (6) als Implantationsmaske wirkt,

- bei dem an den gegenüberliegenden Flanken der Gräben (7) jeweils das erste Dielektrikum (10), das floatende Gate (11), das zweite Dielektrikum (12) und das Kontrollgate (13a) für die vertikalen MOS-Transistoren gebildet werden,
5
- bei dem das floatende Gate (11) und das Kontrollgate (13a) von entlang einer Flanke benachbarten MOS-Transistoren gegeneinander isoliert werden,
- 10 - bei dem quer zu den Gräben (7) verlaufende Wortleitungen (13a) erzeugt werden, die jeweils mit den Kontrollgates (13a) der unterhalb der jeweiligen Wortleitung (13a) angeordneten vertikalen MOS-Transistoren verbunden sind.
- 15 2. Verfahren nach Anspruch 1,
bei dem vor der Ionenimplantation zur Bildung der am Boden der Gräben (7) angeordneten streifenförmigen dotierten Gebiete (14a) die Seitenwände der Gräben (7) mit maskierenden Spacern (8) bedeckt werden, die nach der Ionenimplantation
20 entfernt werden.
- 3. Verfahren nach Anspruch 1 oder 2,
- bei dem nach der Bildung der streifenförmigen dotierten Gebiete (14a, 14b) eine erste dielektrische Schicht (10) erzeugt wird, die mindestens die Flanken der Gräben (7) bedeckt,
25
- bei dem auf der ersten dielektrischen Schicht (10) eine erste dotierte Polysiliziumschicht erzeugt wird,
30
- bei dem durch anisotropes Ätzen aus der ersten dotierten Polysiliziumschicht dotierte Polysiliziumspacer (11) gebildet werden,
35
- bei dem eine zweite dielektrische Schicht (12) erzeugt wird,

- bei dem eine zweite dotierte Polysiliziumschicht (13) erzeugt wird,
- 5 - bei dem durch Strukturierung der zweiten Polysiliziumschicht (13) mit Hilfe einer Wortleitungsmaske die Wortleitungen (13a) und Kontrollgates (13a) gebildet werden,
- bei dem durch Strukturierung der zweiten dielektrischen
10 Schicht (12) und der dotierten Polysiliziumspacer (11) jeweils das zweite Dielektrikum und das floatende Gate für die MOS-Transistoren gebildet werden.
- 4. Verfahren nach Anspruch 3,
- 15 bei dem die Grabenmaske (6) nach der Bildung der dotierten Polysiliziumspacer (11) entfernt wird.

1/3

FIG 1

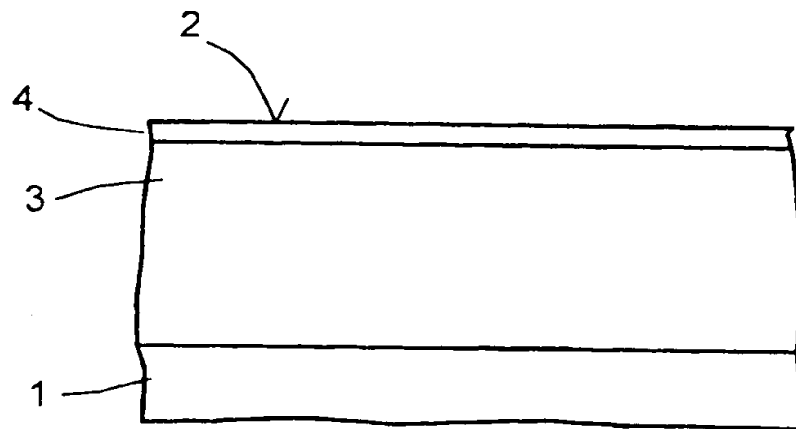
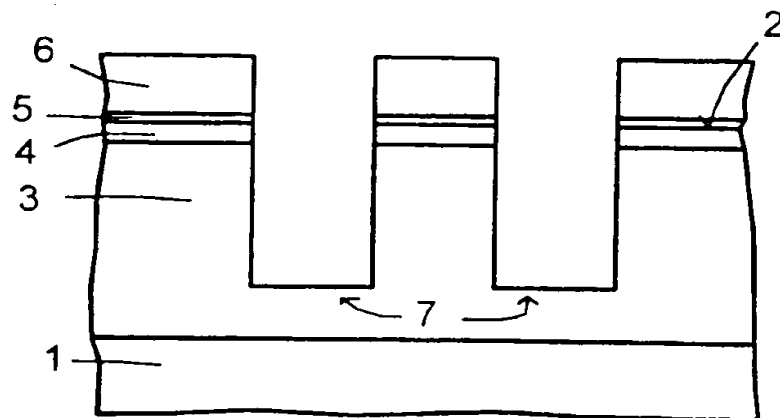


FIG 2



2/3

FIG 3

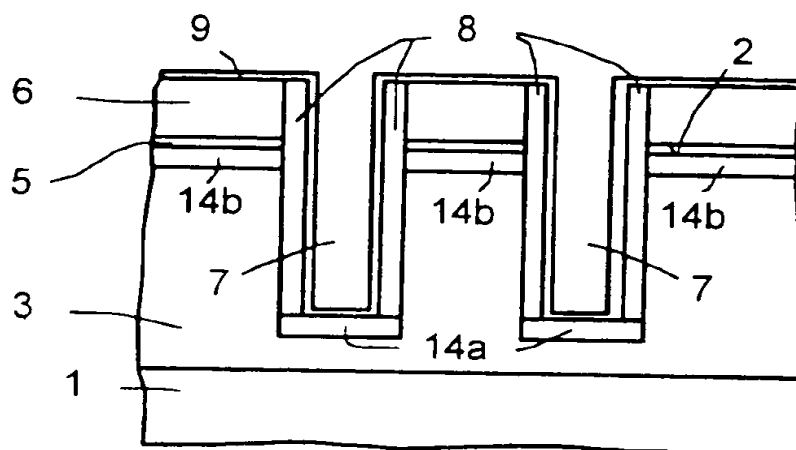
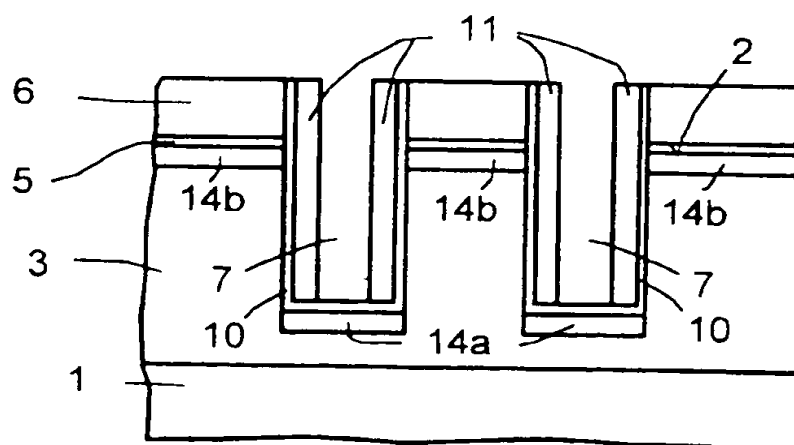


FIG 4



3/3

FIG 5

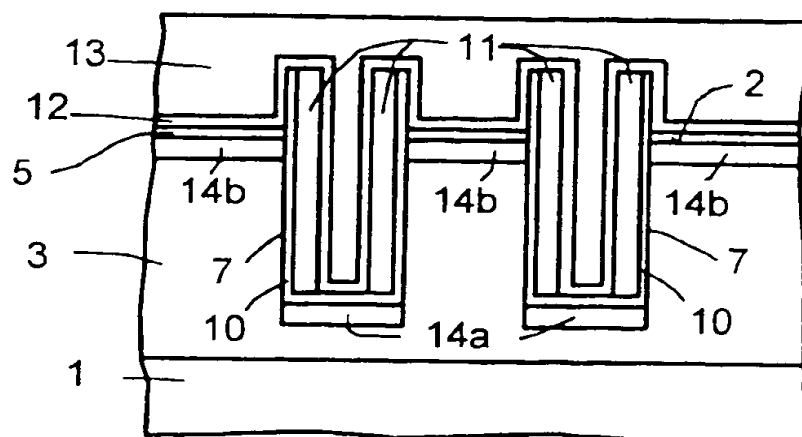
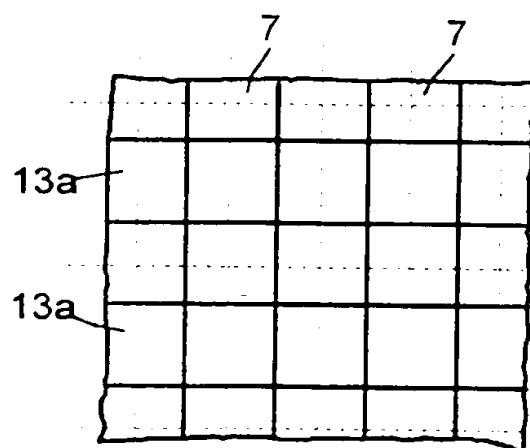


FIG 6



INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 96/01117

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L21/8247 H01L27/115

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US,A,5 180 680 (YANG MING-TZONG) 19.Januar 1993 siehe Spalte 2, Zeile 16 - Spalte 3, Zeile 65; Abbildungen 1-5D ---	1,2
A	IBM TECHNICAL DISCLOSURE BULLETIN, Bd. 35, Nr. 4B, 1.September 1992, ARMONK NY, USA, Seiten 130-131, XP000313882 "VERTICAL EEPROM CELL" * Das ganze Dokument *	1,3
A	US,A,5 049 956 (YOSHIDA TOHRU ET AL) 17.September 1991 siehe Spalte 2, Zeile 66 - Spalte 3, Zeile 43; Abbildungen 3,4 ---	1,3,4

	-/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

* 'A' Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

* 'E' älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

* 'L' Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

* 'O' Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

* 'P' Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

* 'T' Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

* 'X' Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

* 'Y' Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

* 'A' Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

11. November 1996

Abmeldedatum des internationalen Recherchenberichts

22. 11. 96

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+ 31-70) 340-3016

Bevollmächtigter Beauftragter

Fransen, L

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 96/01117

C(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>PATENT ABSTRACTS OF JAPAN vol. 012, no. 153 (E-607), 11.Mai 1988 & JP,A,62 269363 (NEC CORP), 21.November 1987, siehe Zusammenfassung -----</p>	1,2

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 96/01117

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US-A-5180680	19-01-93	US-A- 5258634	02-11-93
US-A-5049956	17-09-91	JP-A- 3044970	26-02-91
		JP-B- 7105453	13-11-95

DOCKET NO: 2 EW-INT 22

SERIAL NO: 09/940,001

APPLICANT: Gatz

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100